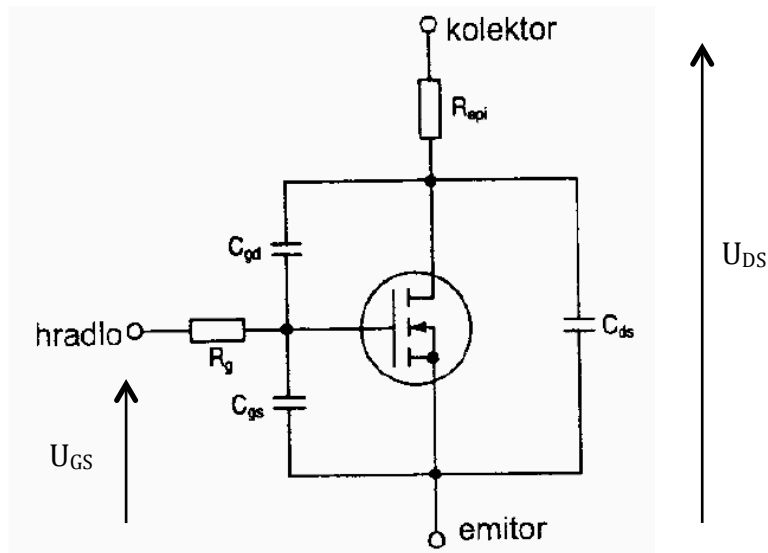


Vliv parazitních kapacit na spínání tranzistoru MOSFET

Jan Roub

Vybíjení a nabíjení parazitních kapacit u tranzistoru typu MOSFET ovlivňuje jeho dynamické chování. Na obrázku č. 1 je zobrazeno náhradní schéma MOSFET tranzistoru z hlediska parazitních kapacit.



(obrázek č. 1)

Vstupní kapacita MOSFET tranzistoru je dána vztahem č. 2.

$$C_{in} = C_{GS} + C_{Mi}, \text{ kde } C_{Mi} = (1 + g_{fs}Z)C_{GD} \text{ (vztah č. 2)}$$

Při zapínání MOSFET tranzistorů je zapotřebí značných nabíjecích proudů, protože vstupní kapacita C_{in} (vztah č. 1) je relativně velká. Velké nabíjecí proudy mají tudíž za následek relativně velký ztrátový výkon v obvodu řídicí elektrody. Pokud skokem přivedeme napětí mezi hradlo (Gate) a emitor (Source), začnou se nabíjet kapacity C_{gs} a C_{GD} . Rychlost sepnutí a rozepnutí tranzistoru nejvíce ovlivňuje rychlost nabití parazitní kapacity C_{gs} (gate-source). Napětí narůstá a pokud překročí hodnotu $U_{GS(th)}$, přechází součástka do propustného stavu.

Napětí $U_{GS(th)}$ je dosaženo v čase t_d , který je určen vztahem č. 3:

$$t_d = R_G (C_{GS} + C_{GD}) \ln \left[\frac{U_{GH}}{U_{GH} - U_{GS(th)}} \right] \text{ (vztah č.3)}$$

Odpor R_G je celkový sériový odpor hradla (Gate). Čím větší bude vstupní kapacita C_{in} a celkový sériový odpor R_G , tím bude delší doba sepnutí součástky.

Tranzistor zůstává v sepnutém stavu, pokud napětí $U_{GS} > U_{DS}$.

Zdroje:

Benda, Papež : *Komponenty výkonové elektroniky*

motor.feld.cvut.cz/www/materialy/A1M14SP2/P6-SP2-FETY-IGBT.pdf (Spínače s tranzistory řízenými elektrickým polem)